

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

IN RE APPLICATION OF: Takahiro KAWANO, et al.

GAU:

SERIAL NO: NEW APPLICATION

EXAMINER:

FILED: HERewith

FOR: SEMICONDUCTOR DEVICE

REQUEST FOR PRIORITY

COMMISSIONER FOR PATENTS
ALEXANDRIA, VIRGINIA 22313

SIR:

- ☐ Full benefit of the filing date of U.S. Application Serial Number _____, filed _____, is claimed pursuant to the provisions of 35 U.S.C. §120.
- ☐ Full benefit of the filing date(s) of U.S. Provisional Application(s) is claimed pursuant to the provisions of 35 U.S.C. §119(e): Application No. _____ Date Filed _____

☒ Applicants claim any right to priority from any earlier filed applications to which they may be entitled pursuant to the provisions of 35 U.S.C. §119, as noted below.

In the matter of the above-identified application for patent, notice is hereby given that the applicants claim as priority:


<u>COUNTRY</u>	<u>APPLICATION NUMBER</u>	<u>MONTH/DAY/YEAR</u>
Japan	2002-213331	July 23, 2002
Japan	2002-295629	October 9, 2002

Certified copies of the corresponding Convention Application(s)

- ☒ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee
- ☐ were filed in prior application Serial No. _____ filed _____
- ☐ were submitted to the International Bureau in PCT Application Number _____
Receipt of the certified copies by the International Bureau in a timely manner under PCT Rule 17.1(a) has been acknowledged as evidenced by the attached PCT/IB/304.
- ☐ (A) Application Serial No.(s) were filed in prior application Serial No. _____ filed _____; and
- ☐ (B) Application Serial No.(s) _____
☐ are submitted herewith
- ☐ will be submitted prior to payment of the Final Fee

Respectfully Submitted,

OBLON, SPIVAK, McCLELLAND,
MAIER & NEUSTADT, P.C.



Marvin J. Spivak
Registration No. 24,913

C. Irvin McClelland
Registration Number 21,124



22850

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2002年 7月23日

出 願 番 号

Application Number:

特願2002-213331

[ST.10/C]:

[JP2002-213331]

出 願 人

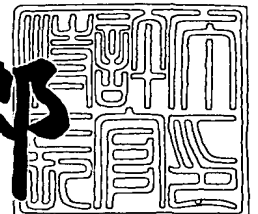
Applicant(s):

株式会社東芝

2003年 3月 7日

特 許 庁 長 官
Commissioner,
Japan Patent Office

太田信一郎



出証番号 出証特2003-3014067

出証特 2003-3014067

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体装置

【特許請求の範囲】

【請求項 1】 半導体基板と、

前記半導体基板上に形成された第1導電型ベース層と、

前記第1導電型ベース層上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された第1のゲート電極と

前記第1のゲート電極の上面の第1の領域を露出させ、前記第1のゲート電極の上面の第2の領域と側面とを覆うよう形成された第1の層間絶縁膜と、

前記第1のゲート電極の前記第1の領域上に形成され、かつ端部が前記第1の層間絶縁膜上に形成されたゲート配線と、

前記第1導電型ベース層の表面領域に形成された第2導電型ソース領域と、

前記第2導電型ソース領域上に形成された第1のソース電極と、

前記ゲート配線の上面と側面とを覆うように形成され、かつ端部が前記第1のソース電極の上面の一部に延在するよう形成された絶縁膜と、

前記第1のソース電極上、及び、前記第1のソース電極上の絶縁膜上に形成され、

前記第1の層間絶縁膜上のゲート配線に対して間隙をもって配置された第2のソース電極と、

前記第2のソース電極上に形成され、前記第2のソース電極と直接接続された接続プレートと、

を具備したことを特徴とする半導体装置。

【請求項2】 前記第2のソース電極の上端は、前記ゲート配線上に形成された絶縁膜の上端とほぼ同じ高さであるか、前記ゲート配線上の絶縁膜の上端よりも高くなるように形成されていることを特徴とする請求項 1 に記載の半導体装置。

【請求項3】 半導体基板と、

前記半導体基板上に形成された第1導電型ベース層と、

前記第1導電型ベース層上に形成された第1のゲート絶縁膜と、

前記第1のゲート絶縁膜上に形成された第1のゲート電極と

前記第1のゲート電極の上面の第1の領域を露出させ、前記第1のゲート電極の上

面の第2の領域と側面とを覆うよう形成された第1の層間絶縁膜と、
前記第1のゲート電極の前記第1の領域上に形成され、かつ端部が前記第1の層間絶縁膜上に形成されたゲート配線と、
前記第1導電型ベース層の表面領域に形成された第2導電型ソース領域と、
前記第2導電型ソース領域上に形成された第1のソース電極と、
前記ゲート配線の上面と側面とを覆うように形成され、かつ端部が前記第1のソース電極の上面の一部に延在するよう形成された絶縁膜と、
前記第1のソース電極上及び前記絶縁膜上に形成された第2のソース電極と、
前記第2のソース電極上に形成され、前記第2のソース電極と直接接続された接続プレートと、
を具備したことを特徴とする半導体装置。

【請求項4】 前記第1及び第2のソース電極は、実質、同じ導電性材料で構成されていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項5】 前記第2導電型ソース領域上の前記第2のソース電極は、前記第2導電型ソース領域上の前記第1のソース電極よりも厚く形成されていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項6】 前記第1導電型ベース層に形成され、前記第2導電型ソース領域に接するよう形成された第2の溝部と、
前記第2の溝部内に形成された第2のゲート絶縁膜と、
前記第2のゲート絶縁膜に接するよう形成され、前記第2の溝部に埋め込まれた第2のゲート電極と、
前記第2のゲート電極上に形成された第2の層間絶縁膜と、
前記第2のゲート電極上に、前記第2の層間絶縁膜を介して形成された前記第1及び第2のソース電極とをさらに具備し、
前記第1のゲート電極と前記第2のゲート電極は、電氣的に接続されていることを特徴とした請求項1乃至3のいずれかに記載の半導体装置。

【請求項7】

前記第2のゲート電極上に形成された前記第2の層間絶縁膜は、前記第2の溝部に埋め込まれていることを特徴とする請求項6に記載の半導体装置。

【請求項8】 前記接続プレートは、超音波接合によって前記第2のソース電極に電氣的に接続されていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項9】 前記ゲート配線は、Alを含むことを特徴とする請求項8に記載の半導体装置。

【請求項10】 前記第1及び第2のソース電極、前記接続プレートは、Alを含むことを特徴とする請求項9に記載の半導体装置。

【請求項11】 前記絶縁膜は、少なくともSiOとSiNのいずれかを含むことを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【請求項12】 前記第2のソース電極は、前記接続プレートを介してリードフレームに接続されていることを特徴とする請求項1乃至3のいずれかに記載の半導体装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、MOS型パワーデバイス等を含んだ半導体チップを組み込んだ半導体装置に関する。

【0002】

【従来の技術】

近年、縦型のMOSFET等のパワーデバイスでは、微細化が要求されるとともに、デバイスを含めた半導体装置全体の内部抵抗値（オン抵抗等）を低抵抗化することが強く求められている。図10に、従来の半導体装置の1つの例を示す。ここで、1001は半導体基板、1002はソース電極、1003はリードフレーム、1004はソースワイヤ、1005はゲートワイヤ、1006はゲート配線を示している。

【0003】

半導体チップ表面には、引き出し配線領域とセル形成領域があり、前記セル形成領域には例えばMOSFETが形成されている。ソース電極とリードフレームは、複数本のワイヤによって接続されている。ソース電極は、ゲート電極よりも多くの電流を流す必要があるが、ワイヤによって接続されているため、電流経路

の断面積が小さく、抵抗値が高くなっている。この抵抗値を低減するため、ソース電極上にプレートを形成して、ソース電極をストラップ構造にすることにより、低オン抵抗化するという技術がある。例えば、特開2000-114445号公報には半導体チップ表面の電極上に、接着剤としてAgペーストを介してCuストラップを接続する方法が記載されている。

【0004】

この方法は、条件によって以下のような問題を内在している。すなわち、一般的な半導体装置の信頼性試験の1つである、温度差が激しく、かつ急激に温度変化する環境下に半導体装置を配置する温度サイクル試験を複数回行うと、電極部材、接着材、ストラップの熱膨張係数がそれぞれ異なるため、界面付近においてクラックなどの不良が発生し、半導体装置の寿命が短くなるという問題が生じる。

【0005】

この問題を解決する技術として、新たに、ストラップを半導体チップ表面の電極に、直接、超音波接合によって接続する方法も提案されている。図11は、従来の半導体装置の要部断面図であり、ゲート配線などの、ゲート電極からの引き出し配線領域を示している。MOSFETなどのデバイスは、他のセル形成領域に形成されており、半導体基板1101上に形成されたP型ベース領域1102の表面に選択的にN型ソース領域が形成されている。（図示しない）前記P型ベース領域1102及び前記N型ソース領域上にはソース電極1103が形成されている。ゲート電極1104は、前記P型ベース領域1102上に形成されたゲート絶縁膜1105上に形成されている。前記ゲート電極1104は、他のセル形成領域に形成されたMOSFETなどのゲート電極（図示しない）と接続されている。

【0006】

また、前記ゲート電極1104の側面及び上面の一部は、前記ソース電極1103と絶縁するため、層間絶縁膜1106が形成されている。前記層間絶縁膜1106が形成されていない前記ゲート電極1104の上面には、Alによって形成されたゲート配線1107が形成され、引出し配線として用いられている。前記ゲート配線1107の上端は、前記ソース電極1103の上端よりも高く形成されている。前記ソース電極1103上

の一部及び前記ゲート配線1107上に、前記ゲート電極1104と前記ソース電極1103の短絡とAlの腐食を防止するために、ポリイミドなどの保護膜1108が形成されている。前記ソース電極1103は超音波接合によって、ストラップ1109と接続される。

【0007】

【発明が解決しようとする課題】

しかしながら、超音波接合においては、熱に対する信頼性は飛躍的に向上するが、超音波によってストラップを接合するため、突出しているゲート配線上の保護膜に接合時の衝撃が大きくかかる。そこで、突出したゲート配線がつぶれ、ゲート配線及びソース電極が変形し、ゲート配線とソース電極がショートしたり、ゲート配線上に形成されている保護膜が劣化し、ストラップとゲート配線がショートするという問題が生じることがある。上部に突出したゲート配線を形成しなければ上記した問題は発生しないが、ゲート配線の存在は、内部抵抗に大きく影響し、例えばゲート配線を形成しないと、 1.5Ω 程度の抵抗値が、約2倍の 3Ω にまで上昇するという問題がある。近年の、特に同期整流用途で用いられるパワーMOSFETでは、抵抗値の上昇は変換効率を低下させるため、前記用途には使用できなくなる。

【0008】

本発明は上記した問題点を解決すべくなされたもので、内部抵抗の上昇を招くことなく、ショート不良をなくすることが可能となる半導体装置を提供することを目的とする。

【0009】

【課題を解決するための手段】

上記した目的を達成するための本発明の半導体装置は、半導体基板と、前記半導体基板上に形成された第1導電型ベース層と、前記第1導電型ベース層上に形成された第1のゲート絶縁膜と、前記第1のゲート絶縁膜上に形成された第1のゲート電極と前記第1のゲート電極の上面の第1の領域を露出させ、前記第1のゲート電極の上面の第2の領域と側面とを覆うよう形成された第1の層間絶縁膜と、

前記第1のゲート電極の前記第1の領域上に形成され、かつ端部が前記第1の層間絶縁膜上に形成されたゲート配線と、
 前記第1導電型ベース層の表面領域に形成された第2導電型ソース領域と、
 前記第2導電型ソース領域上に形成された第1のソース電極と、
 前記ゲート配線の上面と側面とを覆うように形成され、かつ端部が前記第1のソース電極の上面の一部に延在するよう形成された絶縁膜と、
 前記第1のソース電極上、及び、前記第1のソース電極上の絶縁膜上に形成され、
 前記第1の層間絶縁膜上のゲート配線に対して間隙をもって配置された第2のソース電極と、
 前記第2のソース電極上に形成され、前記第2のソース電極と直接接続された接続プレートと、
 を具備したことを特徴とする。

【 0 0 1 0 】

また、上記した目的を達成するための本発明の半導体装置は、半導体基板と、
 前記半導体基板上に形成された第1導電型ベース層と、
 前記第1導電型ベース層上に形成された第1のゲート絶縁膜と、
 前記第1のゲート絶縁膜上に形成された第1のゲート電極と
 前記第1のゲート電極の上面の第1の領域を露出させ、前記第1のゲート電極の上面の第2の領域と側面とを覆うよう形成された第1の層間絶縁膜と、
 前記第1のゲート電極の前記第1の領域上に形成され、かつ端部が前記第1の層間絶縁膜上に形成されたゲート配線と、
 前記第1導電型ベース層の表面領域に形成された第2導電型ソース領域と、
 前記第2導電型ソース領域上に形成された第1のソース電極と、
 前記ゲート配線の上面と側面とを覆うように形成され、かつ端部が前記第1のソース電極の上面の一部に延在するよう形成された絶縁膜と、
 前記第1のソース電極上及び前記絶縁膜上に形成された第2のソース電極と、
 前記第2のソース電極上に形成され、前記第2のソース電極と直接接続された接続プレートと、
 を具備したことを特徴とする。

【 0 0 1 1 】

上記した発明によれば、ゲート配線上に前記絶縁膜を形成し、第1のソース電極上に前記絶縁膜を介して第2のソース電極を形成しているため、接続プレートをソース電極に接続する際に、ゲート配線上に形成された絶縁膜にかかる衝撃を低減することが可能となり、ゲート配線とソース電極とのショート不良を低減することができる。

【 0 0 1 2 】

【発明の実施の形態】

以下に、本発明の実施の形態について詳細に説明する。

（第1の実施の形態）

まず、第1の実施の形態の半導体装置について、図1乃至図8を参照して説明する。

【 0 0 1 3 】

本実施の形態では、MOSFET、IGBTを例に説明する。図1は、図8のA-A'における断面図である。図1に示したように、例えば、N⁻型の半導体基板101上に形成された引き出し配線領域のP型ベース領域102上に、第1のゲート絶縁膜103が形成されている。前記第1のゲート絶縁膜103上には、第1のゲート電極104が形成されている。

【 0 0 1 4 】

セル形成領域の前記P型ベース領域102には、前記第1のゲート電極104と直角及び平行にトレンチ105が形成されている。前記トレンチ105は、オフセットメッシュトレンチ構造を有している。なお、図1は、前記トレンチが前記第1のゲート電極104と平行に形成されている領域の要部断面図である。前記トレンチ105には、第2のゲート絶縁膜106が形成され、前記第2のゲート絶縁膜106に接するよう第2のゲート電極107が前記トレンチ105に埋め込み形成されている。前記トレンチ105の周囲の前記P型ベース領域102の表面には、N型ソース領域108が形成されている。前記引き出し配線領域側の前記トレンチ105の周囲には、前記N型ソース領域108は形成されていない。

【 0 0 1 5 】

前記セル形成領域に形成されるセルは、前記半導体基板101の下に N^+ 型のドレイン領域が形成されていればMOSFETであり、 P^+ 型のドレイン（コレクタ）領域が形成されていればIGBT（Insulated Gate Bipolar Trasistor）として機能する。前記セル形成領域に形成されるセルは、特にこれらに限定されるものではない。また、セルの構造は、トレンチ型に限定されず、プレーナ型でもよい。

【 0 0 1 6 】

前記第1及び第2のゲート電極104、107は、ポリシリコンなどの導電性材料によって形成されており、他の領域で相互に電氣的に接続されている（図示しない）。

【 0 0 1 7 】

前記第1のゲート電極104の側面及び上面の一部は、UDO（Undoped Oxide）、BPSGなどの第1の層間絶縁膜109が形成されている。前記第1の層間絶縁膜109が形成されていない前記第1のゲート電極104の上部には、Alなどの導電性材料によって形成されたゲート配線110が形成され、前記第1及び第2のゲート電極104、107の引出し配線として用いられている。前記第2のゲート電極107上には、第2の層間絶縁膜111が形成されている。前記第2の層間絶縁膜111は、前記トレンチ105に完全に埋め込まれていてもかまわない。

【 0 0 1 8 】

前記P型ベース領域102上及び前記N型ソース領域108上にはAlなどの第1のソース電極112が形成されている。前記第1のソース電極112は、面積が大きくなるよう形成され、低抵抗化をはかっている。また、前記第1のソース電極112は、第1及び第2の層間絶縁膜109、111によって前記第1及び第2のゲート電極104、107と絶縁されるよう形成されている。前記第1のソース電極112の上面の一部、前記ゲート配線110の側面及び上面には、ほぼ板形状を有する接続プレート（ここでは、ストラップという）を超音波接合によって接続した際、前記ゲート配線110がストラップとショートするのを防ぐために、絶縁膜113が形成されている。

【 0 0 1 9 】

ここで、前記絶縁膜は、113は、前記第1のソース電極112の上面の一部にも形

成されているが、このように前記第1のソース電極112の上面の一部にも絶縁膜を延在して形成することによって、パターニングの際の合わせずれによるショート不良を防止することができ、歩留まりよく信頼性の高い素子を製造することができる。前記絶縁膜113は、シリコン酸化膜、シリコン窒化膜、或いはその積層膜によって構成されている。厚さは、 $2\mu\text{m}\sim 4\mu\text{m}$ が好ましい。

【0020】

前記第1のソース電極112上、及び前記第1のソース電極112の上に形成されている絶縁膜113上には、Alなどの第2のソース電極114が形成されている。前記ゲート配線110と前記第2のソース電極114は間隙110aを持って配置されている。前記第2のソース電極114は、前記N型ソース領域108上の第1のソース電極112の厚さよりも厚く形成されている。

【0021】

また、第1のソース電極112及び第2のソース電極114を同じ導電性材料を用いて形成することによって、異種材料の界面における変形などの劣化や抵抗の増加を抑止することができる。

【0022】

また、本実施の形態では、前記第2のソース電極114は、その上端が前記ゲート配線110の上端よりも高くなるように形成されている。しかし、これに限ることなく、前記第2のソース電極114は、その上端が前記ゲート配線110上の前記絶縁膜113の上端よりも低くなければよく、ほぼ同じであってもかまわない。ただし、前記第2のソース電極114は、その上端が前記ゲート配線110上の前記絶縁膜113の上端より高く形成されている方が好ましい。

【0023】

前記第2のソース電極114上には、前記第2のソース電極114に接続するストラップ115が形成されている。前記ストラップ115は、例えばAlによって構成されている接続プレートである。前記ストラップ115は、例えば外部への接続を行うリードフレーム（図示しない）に接続される。

【0024】

次に、図2乃至図7を用いて、本実施の形態に記載した半導体装置のゲート配線

などの引出し配線領域の製造方法について説明する。

【 0 0 2 5 】

例えば、N⁻型半導体基板201上に形成されたP型ベース領域202の表面にN型不純物を選択的にイオン注入して熱拡散を行い、セル形成領域の所定の領域にN型ソース領域を形成する（図示しない）。次に、図2に示すように、前記P型ベース領域202上に、第1のゲート絶縁膜203を形成する。前記第1のゲート絶縁膜203上の一部に、ポリシリコンなどの導電性材料を用いて第1のゲート電極204を形成する。前記第1のゲート電極204は、トレンチMOSFETなどのセル形成領域に形成されたゲート電極（図示しない）と接続されている。前記第1のゲート絶縁膜203上の前記第1のゲート電極204の側面及び上面に、第1の層間絶縁膜205を形成する。

【 0 0 2 6 】

続いて、前記第1の層間絶縁膜205に、前記第1のゲート電極204の上面が露出するような溝部を形成する。次に、少なくとも前記溝部を埋めるよう形成し、前記第1のゲート電極204と電氣的に接続されるゲート配線206を形成する。前記ゲート配線206は、Alなどの導電性材料によって形成されており、引出し配線として用いられている。次に、前記P型ベース領域202上及び前記N型ソース領域（図示しない）上に、第1のソース電極207を形成する。

【 0 0 2 7 】

次に、図3に示すように、前記第1のソース電極207の一部分上及び前記ゲート配線206上面及び側面を覆うように、シリコン酸化膜やシリコン窒化膜などの絶縁膜208を形成する。

【 0 0 2 8 】

次に、図4に示すように、前記絶縁膜208上にレジスト膜209を塗布し、パターニングを行い、前記ゲート配線206上及び前記第1の層間絶縁膜205上に絶縁膜208のパターンを形成する。

【 0 0 2 9 】

次に、図5に示すように、前記レジスト膜209をアッシングし、一部が露出した前記第1のソース電極207上及び前記絶縁膜208上に第2のソース電極210を形成す

る。

【 0 0 3 0 】

次に、図6に示すように、前記第2のソース電極210をエッチングし、前記ゲート配線206上の前記絶縁膜208と、前記第1のソース電極207上の前記絶縁膜208の一部とが露出するような間隙206aを形成する。前記第2のソース電極210の上面は前記ゲート配線206の上面よりも高く形成されている。

【 0 0 3 1 】

次に、図7に示すように、第2のソース電極210の上にストラップ211を直接接続する。接続は超音波接合によって行われる。前記ストラップ211は例えばA1によって構成されている。

【 0 0 3 2 】

図8に本実施の形態の平面図を示す。ここで、801は半導体基板、802はリードフレーム、803はストラップ、804はゲートワイヤ、805はゲート配線を示している。

【 0 0 3 3 】

このように、ゲート配線上の絶縁膜の上端よりも第2のソース電極の上端の方が高く、若しくは、ほぼ同じとなるよう形成されているため、超音波接合によってストラップをソース電極に接続する際に、ゲート配線に形成された絶縁膜にかかる衝撃を低減することが可能となる。すなわち、ゲート配線がつぶれてソース電極側へ変形し、ゲート配線とソース電極がショートしたり、ゲート配線上に形成されている絶縁膜が劣化し、ストラップとゲート配線がショートすることを抑止することができ、内部抵抗の上昇を招くことなく、ショート不良をなくすことが可能となる。

【 0 0 3 4 】

前記第2のソース電極は、前記N型ソース領域上の第1のソース電極の厚さよりも厚く形成されているが、特にこれに限定しない。ストラップを第2のソース電極上に接続する際、その衝撃を吸収するクッション材として、厚く形成されている方の電極に、より力が加わる。第1のソース電極を厚く形成すると、ストラップを第2のソース電極上に接続する際、第1のソース電極がクッション材として働

く。したがって、第1のソース電極上及びゲート配線の側壁の絶縁膜にも力が加わり、絶縁膜の劣化につながる。そこで、第2のソース電極を厚く形成した方が、第2のソース電極において衝撃をより多く吸収するため、ストラップを接続する際の衝撃による前記絶縁膜の劣化が生じにくく、好ましい形態であるといえる。

【 0 0 3 5 】

さらに、第2のソース電極が前記ゲート配線に対して間隙をもって形成されているため、上部にストラップを接続する際に、第2のソース電極の端部に特に衝撃が加わって変形することによるショート不良を、抑止することができる。

【 0 0 3 6 】

また、前記絶縁膜を、前記第1のソース電極の上面の一部にも延在して形成し、前記第1のソース電極の端部を前記絶縁膜で覆うよう形成することによって、パターニングの際の合わせずれによる不良を防止することができるだけでなく、上部にストラップを接続する際、第1のソース電極の端部に衝撃が加わった場合の、変形によるショート不良を抑止することができる。

【 0 0 3 7 】

本実施の形態では、トレンチがメッシュ状に形成されたオフセットメッシュトレンチ構造の半導体装置について記載したが、特にこれに限定されず、トレンチがストライプ状に形成されたストライプトレンチ構造の半導体装置であってもよい。

(第2の実施の形態)

次に、第2の実施の形態の半導体装置について、図9を参照して説明する。

【 0 0 3 8 】

本実施の形態では、MOSFET、IGBTを例に説明する。図9は、半導体装置の要部断面図である。図9に示したように、例えば、N⁻型の半導体基板901上に形成された引き出し配線領域のP型ベース領域902上に、第1のゲート絶縁膜903が形成されている。前記第1のゲート絶縁膜903上には、第1のゲート電極904が形成されている。

【 0 0 3 9 】

セル形成領域の前記P型ベース領域902には、前記第1のゲート電極904と直角にトレンチが形成されている（図示しない）。前記トレンチは、ストライプトレンチ構造を有している。前記トレンチの周囲の前記P型ベース領域902の表面には、選択的にN型ソース領域905が形成されている。なお、図9は、前記N型ソース領域905上における要部断面図である。図示しないセル形成領域の構造については、前記した第1の実施の形態と同じであるため、説明を省略する。

【 0 0 4 0 】

前記第1のゲート電極904は、ポリシリコンなどの導電性材料によって形成されており、セル形成領域の第2のゲート電極と他の領域でそれぞれ電氣的に接続されている（図示しない）。前記第1のゲート電極904の側面及び上面の一部には、UDO、BPSGなどの第1の層間絶縁膜906が形成されている。前記第1の層間絶縁膜906が形成されていない前記第1のゲート電極904の上部には、Alなどの導電性材料によって形成されたゲート配線907が形成され、前記第1のゲート電極904の引出し配線として用いられている。

【 0 0 4 1 】

前記N型ソース領域905上にはAlなどの第1のソース電極908が形成されており、第1のソース電極908は、第1の層間絶縁膜906によって前記第1のゲート電極904と絶縁されるよう形成されている。

【 0 0 4 2 】

前記第1のソース電極908の上面の一部、前記ゲート配線907の側面及び上面には、超音波接合によってストラップを接続した際、前記ゲート配線907がストラップとショートするのを防ぐために、絶縁膜909が形成されている。

【 0 0 4 3 】

ここで、前記絶縁膜909は、前記第1のソース電極908の上面の一部にも形成されているが、このように前記第1のソース電極908の上面の一部にも絶縁膜を延在して形成することによって、パターニングの際の合わせずれによるショート不良を防止することができ、歩留まりよく信頼性の高い素子を製造することができる。前記絶縁膜909は、シリコン酸化膜、シリコン窒化膜、或いはその積層膜によって構成されている。厚さは $2\mu\text{m}$ ～ $4\mu\text{m}$ が好ましい。

【 0 0 4 4 】

前記第1のソース電極908上、及び前記絶縁膜909上には、Alなどの第2のソース電極910が形成されている。前記第2のソース電極910は、前記N型ソース領域905上の第1のソース電極908の厚さよりも厚く形成されている。

【 0 0 4 5 】

また、第1のソース電極908及び第2のソース電極910を同じ導電性材料を用いて形成することによって、異種材料の界面における変形などの劣化や抵抗の増加を抑止することができる。

【 0 0 4 6 】

前記第2のソース電極910は、前記ゲート配線907上に形成された前記絶縁膜909上にも形成されている。前記第2のソース電極910上には、前記第2のソース電極910に接続するストラップ911が形成されている。前記ストラップ911は、例えばA1によって構成されている接続プレートである。前記ストラップ911は、例えば外部への接続を行うリードフレーム（図示しない）に接続される。

【 0 0 4 7 】

このように、本実施の形態では、第2のソース電極に間隙を設けていない。したがって、工程の追加を抑えつつ、超音波接合によってストラップをソース電極に接続する際に、ゲート配線に形成された絶縁膜にかかる衝撃を低減することが可能となる。すなわち、ゲート配線が変形し、ソース電極とショートすることを抑止することができ、内部抵抗の上昇を招くことなく、ショート不良をなくすることが可能となる。また、ソース電極とストラップの接触面積をより大きく形成することによって、さらに低抵抗化が可能となる。

【 0 0 4 8 】

また、前記第2のソース電極は、前記N型ソース領域上の第1のソース電極の厚さよりも厚く形成されているが、特にこれに限定しない。ストラップを第2のソース電極上に接続する際、その衝撃を吸収するクッション材として、厚く形成されている方の電極に、より力が加わる。第1のソース電極を厚く形成すると、ストラップを第2のソース電極上に接続する際、第1のソース電極がクッション材として働く。したがって、第1のソース電極上及びゲート配線の側壁の絶縁膜にも

力が加わり、絶縁膜の劣化につながる。そこで、第2のソース電極を厚く形成した方が、第2のソース電極において衝撃をより多く吸収するため、ストラップを接続する際の衝撃による前記絶縁膜の劣化が生じにくく、好ましい形態であるといえる。

【0049】

また、前記絶縁膜を、前記第1のソース電極の上面の一部にも延在して形成し、前記第1のソース電極の端部を前記絶縁膜で覆うよう形成することによって、パターニングの際の合わせずれによる不良を防止することができるだけでなく、上部にストラップを接続する際、第1のソース電極の端部に衝撃が加わった場合、変形によるショート不良を抑止することができる。

【0050】

本実施の形態では、トレンチがストライプ状に形成されたストライプトレンチ構造の半導体装置について記載したが、特にこれに限定されず、トレンチがメッシュ状に形成されたオフセットメッシュトレンチ構造の半導体装置であってもよい。

【0051】

以上、第1及び第2の実施の形態では、超音波接合によってストラップを接合する場合に生じる衝撃による不良について述べたが、それに限定されず、圧接接合などによる衝撃に対しても十分効果を有する。

【0052】

【発明の効果】

以上、詳述したように、本発明によれば、ゲート配線上に前記絶縁膜を形成し、第1のソース電極上に、絶縁膜を介して第2のソース電極を形成するため、接続プレートをソース電極に直接接続する際に、ゲート配線上に形成された絶縁膜にかかる衝撃を低減することが可能となり、ゲート配線とソース電極とのショート不良を低減することができる。

【図面の簡単な説明】

【図1】 本発明の第1の実施の形態に係る半導体装置の要部を示す断面図である。

【図2】 本発明の第1の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図3】 本発明の第1の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図4】 本発明の第1の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図5】 本発明の第1の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図6】 本発明の第1の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図7】 本発明の第1の実施の形態に係る半導体装置の製造工程の一工程を示す要部断面図である。

【図8】 本発明の第1の実施の形態に係る半導体装置の平面図である。

【図9】 本発明の第2の実施の形態に係る半導体装置の要部を示す断面図である。

。

【図10】 従来技術の半導体装置の平面図である。

【図11】 従来技術の半導体装置の要部を示す断面図である。

【符号の説明】

101, 201, 801, 901, 1001, 1101…半導体基板

102, 202, 902, 1102…P型ベース領域

103, 203, 903…第1のゲート絶縁膜

104, 204, 904…第1のゲート電極

105…トレンチ

106…第2のゲート絶縁膜

107…第2のゲート電極

108, 905…N型ソース領域

109, 205, 906…第1の層間絶縁膜

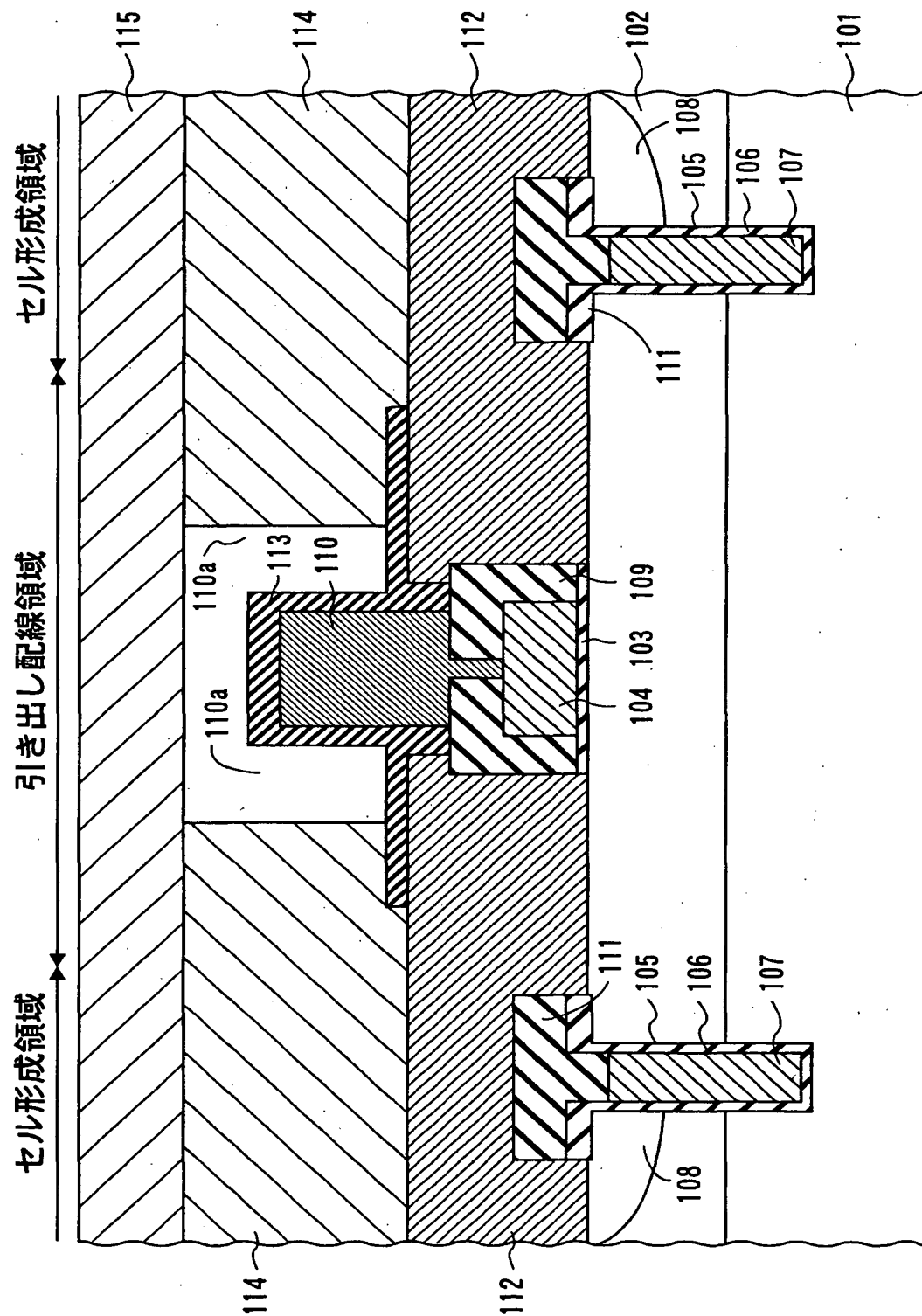
110, 206, 805, 907, 1006, 1107…ゲート配線

110a, 206a…間隙

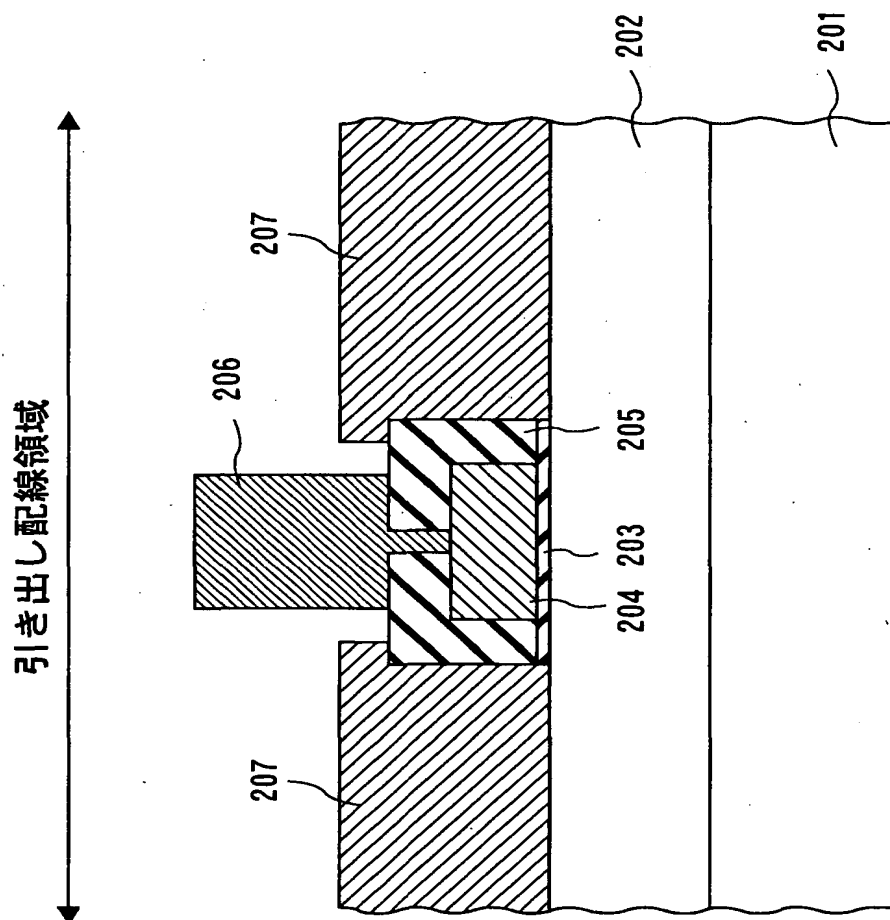
111…第2の層間絶縁膜
112, 207, 908…第1のソース電極
113, 208, 909…絶縁膜
114, 210, 910…第2のソース電極
115, 211, 803, 911, 1109…ストラップ
209…レジスト膜
802, 1003…リードフレーム
804, 1005…ゲートワイヤ
1002, 1103…ソース電極
1004…ソースワイヤ
1104…ゲート電極
1105…ゲート絶縁膜
1106…層間絶縁膜
1108…保護膜

【書類名】 図面

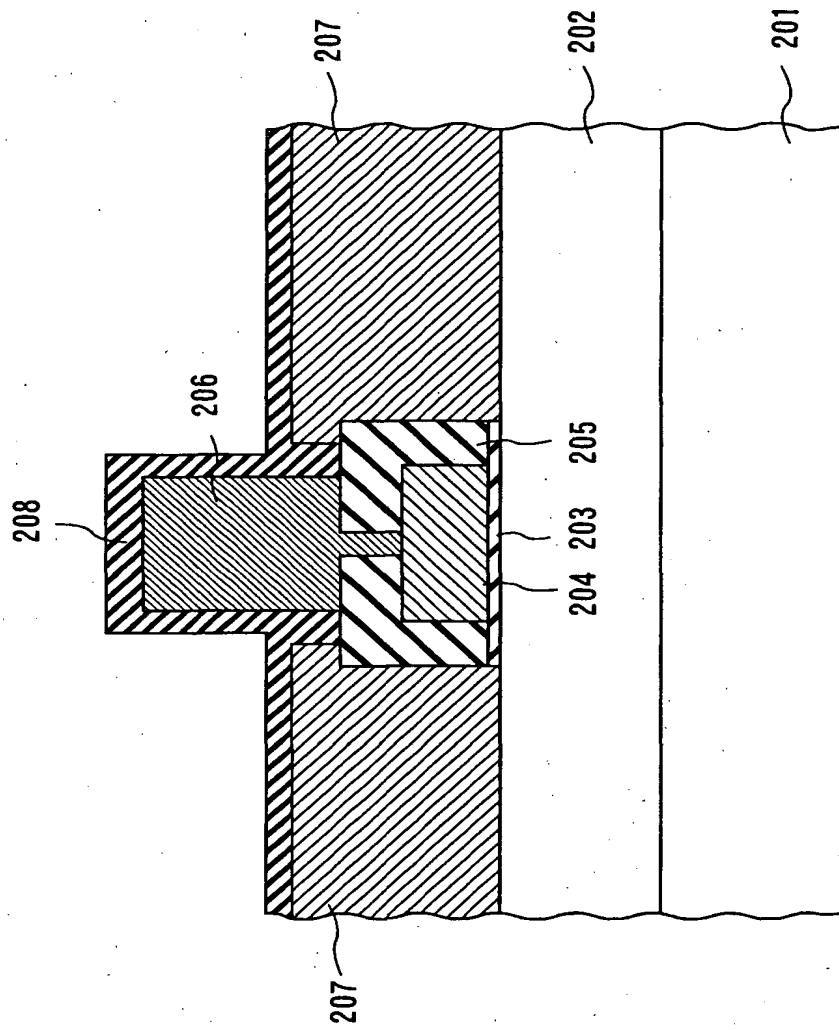
【図1】



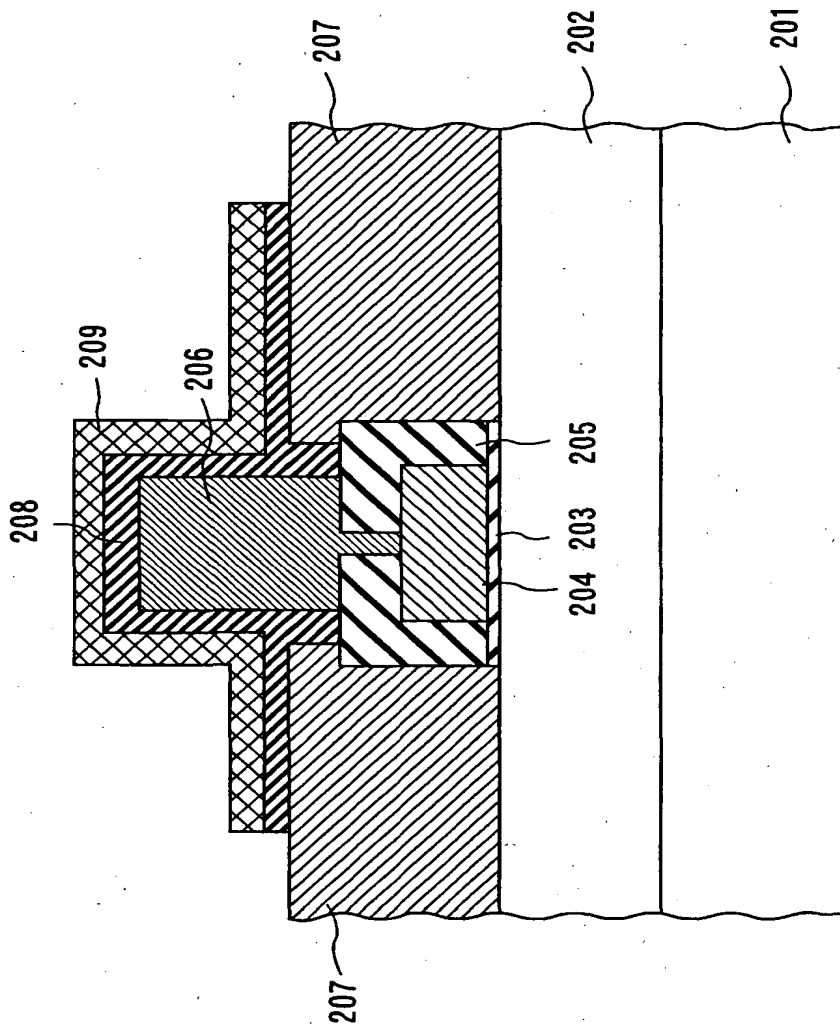
【図 2】



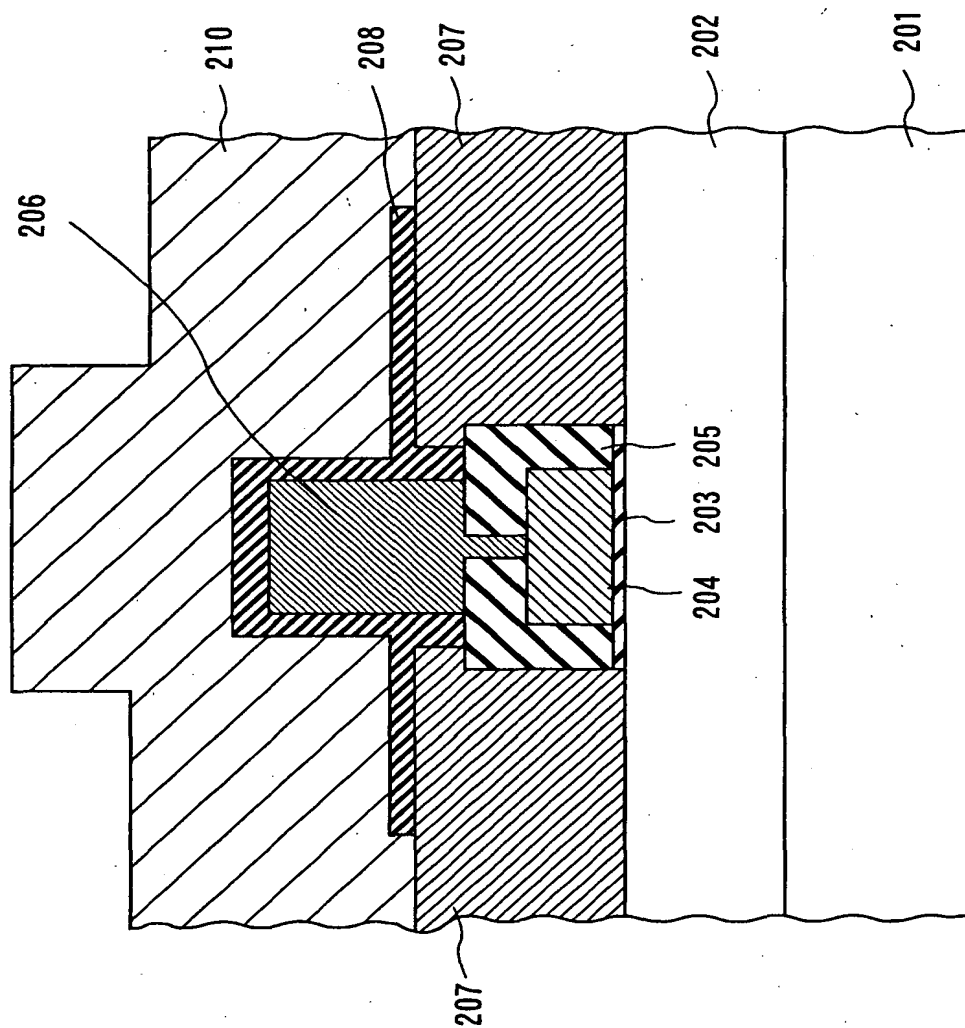
【図 3】



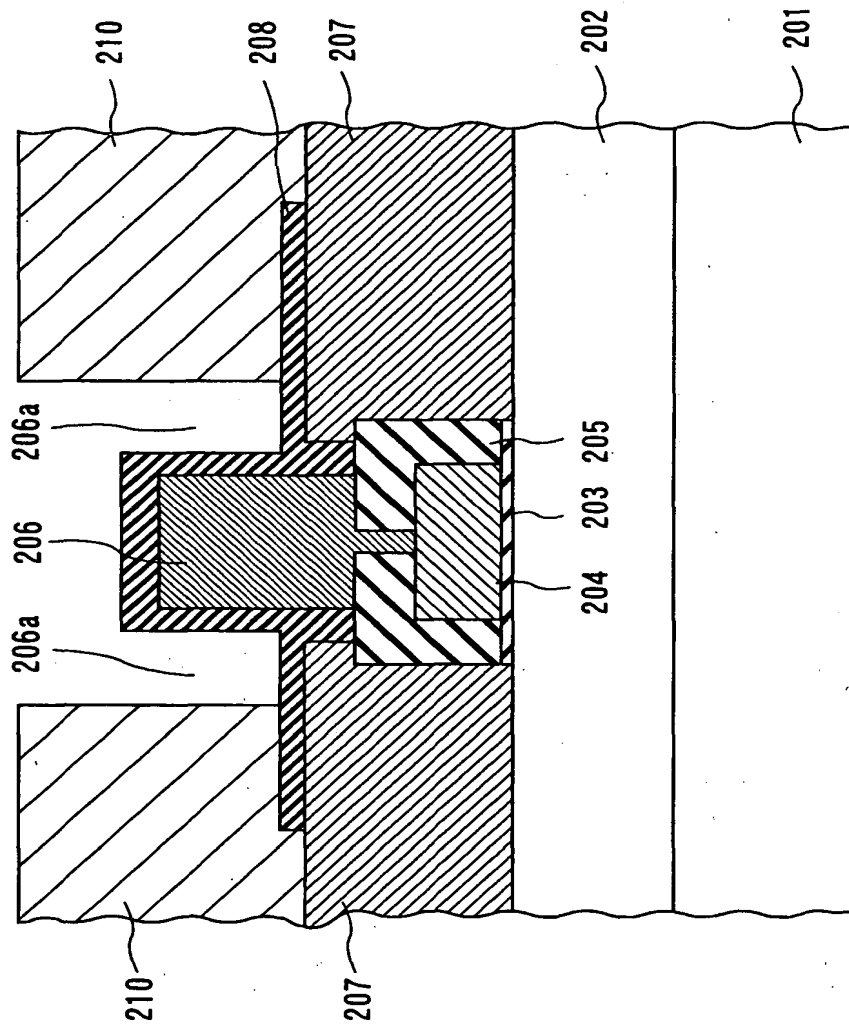
【図 4】



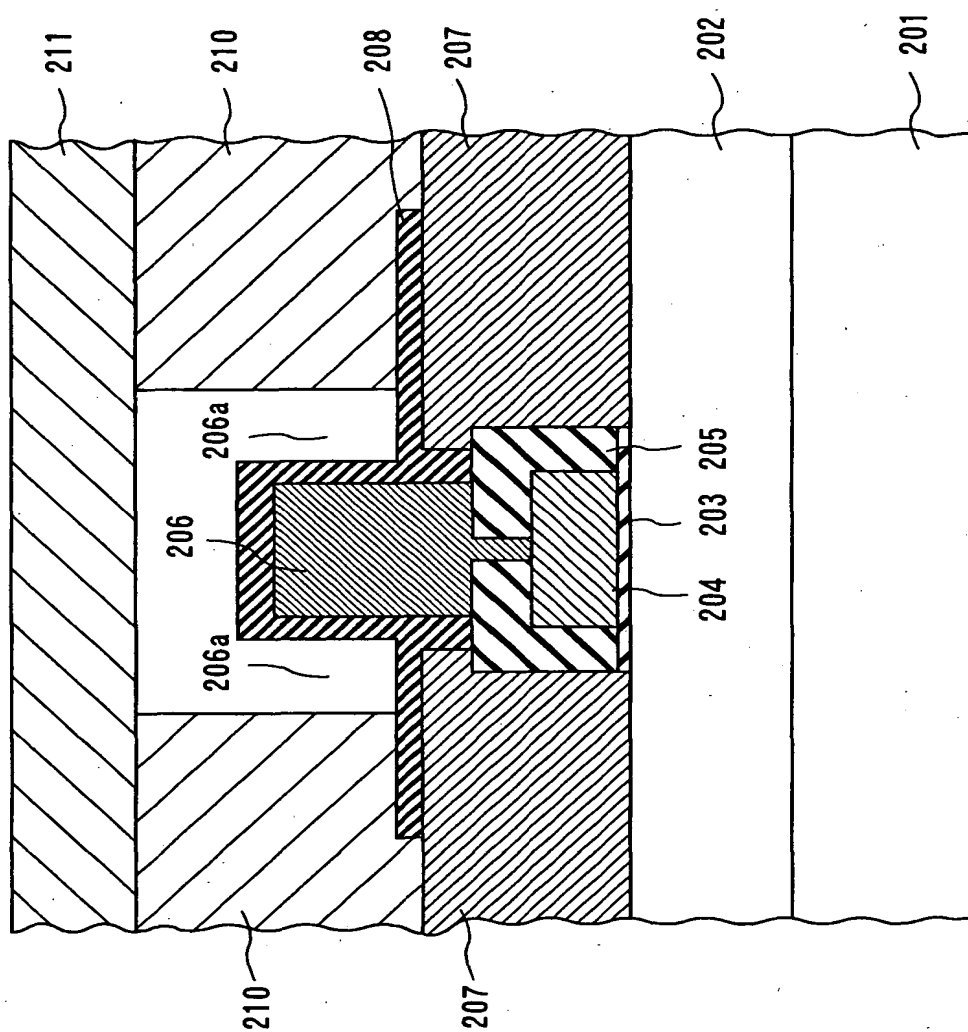
【図 5】



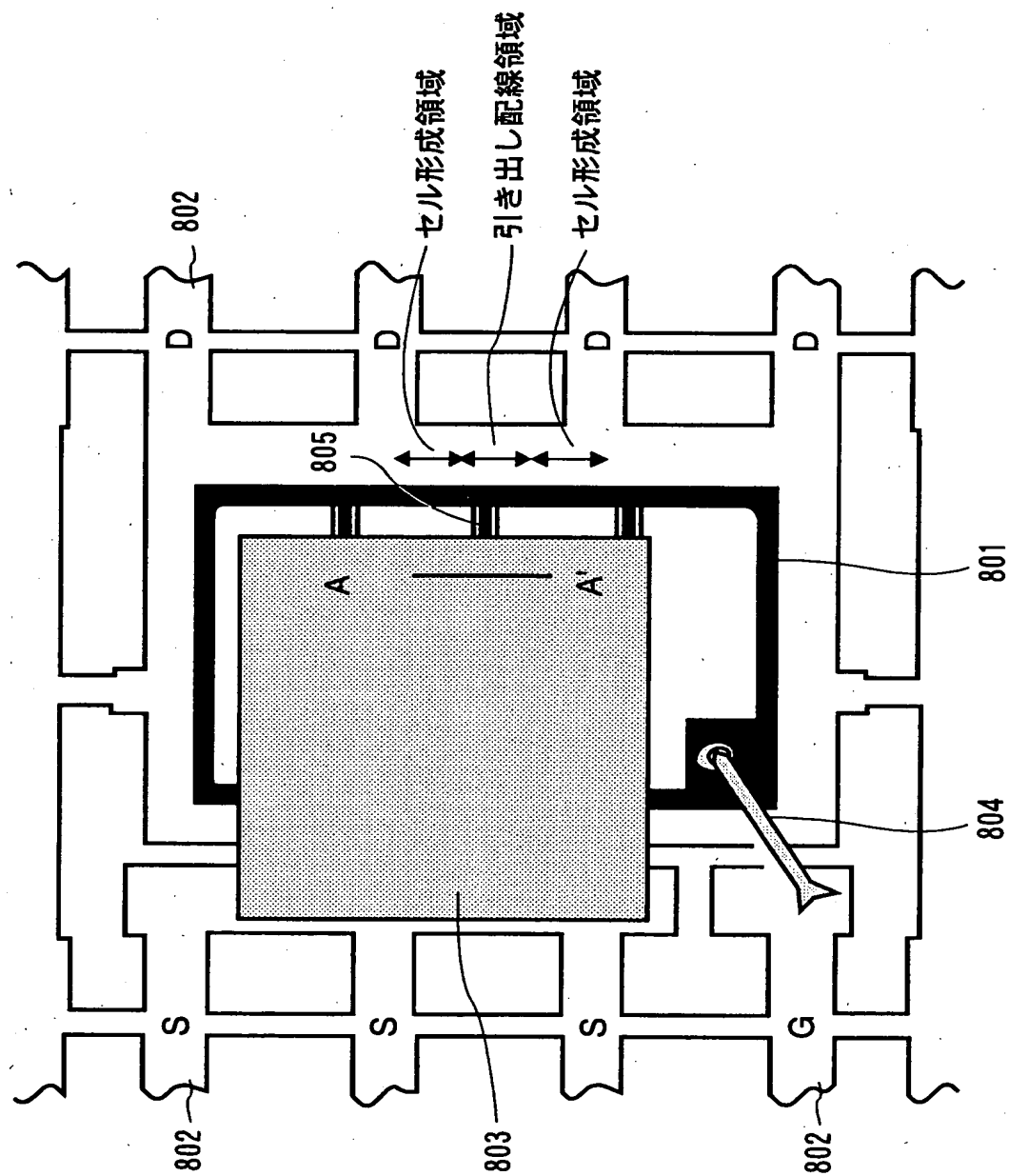
【図 6】



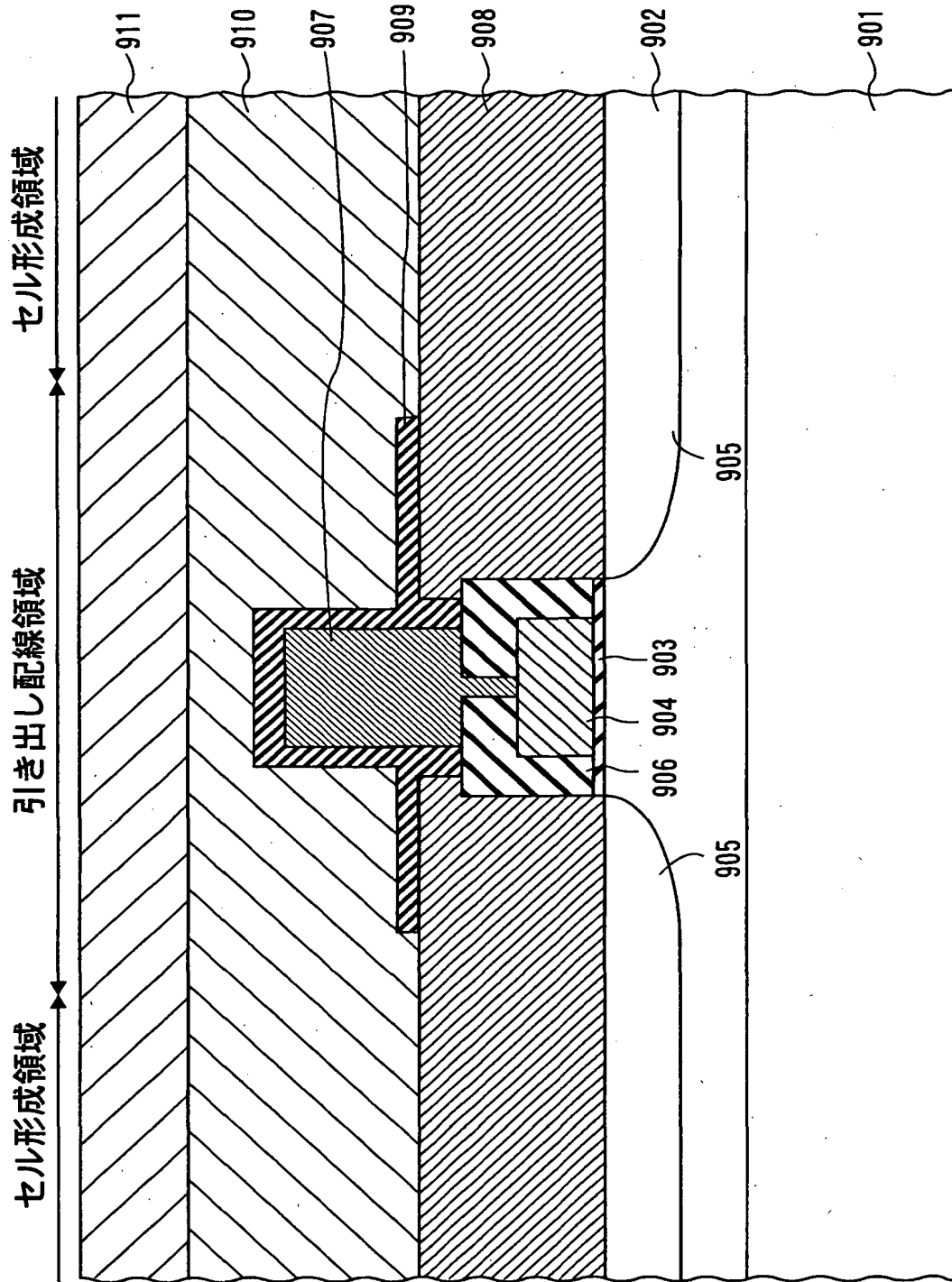
【図 7】



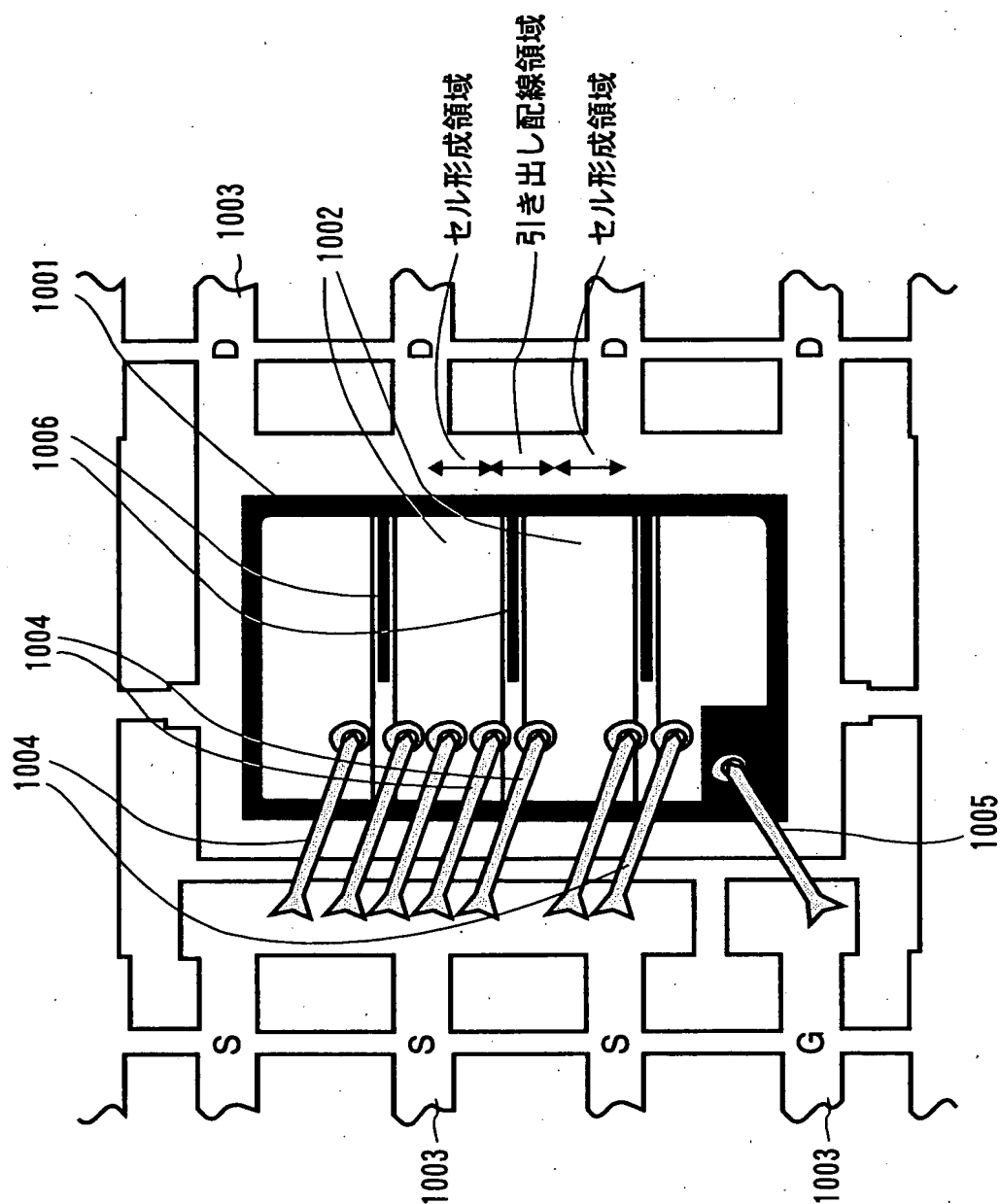
【図 8】



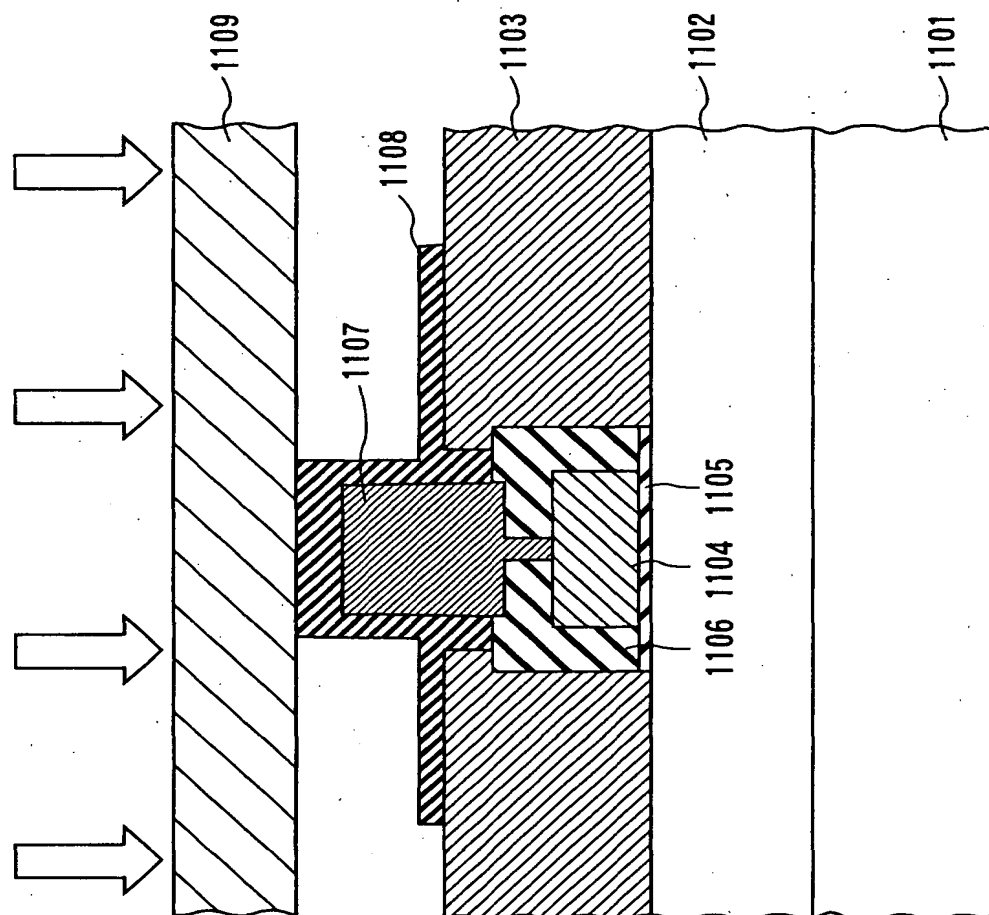
【図 9】



【図 10】



【図 11】



【書類名】 要約書

【要約】

【課題】 ストラップをソース電極に接続する際に、ゲート配線上に形成された絶縁膜にかかる衝撃を低減し、不良を起こしにくい半導体装置を提供する。

【解決手段】 第1導電型ベース層101上にゲート絶縁膜103を介して形成されたゲート電極104と、前記ゲート電極104の上面の一部を露出するよう形成された層間絶縁膜110と、前記層間絶縁膜110上に形成されたゲート配線110と、第2導電型ソース領域108上に形成された第1のソース電極112と、前記ゲート配線110を覆い、かつ端部が前記第1のソース電極112に延在した絶縁膜113と、第1のソース電極112上及び前記第1のソース電極112上の絶縁膜113上に形成され、前記ゲート配線110と間隙をもって配置された第2のソース電極114と、前記第2のソース電極114に直接接続された接続プレートとを具備する。

【選択図】 図1

特 2002-213331

認定・付加情報

特許出願の番号	特願2002-213331
受付番号	50201077374
書類名	特許願
担当官	第五担当上席 0094
作成日	平成14年 7月24日

<認定情報・付加情報>

【提出日】 平成14年 7月23日

次頁無

出 願 人 履 歴 情 報

識別番号 [000003078]

1. 変更年月日 2001年 7月 2日

[変更理由] 住所変更

住 所 東京都港区芝浦一丁目1番1号

氏 名 株式会社東芝